

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-151683

(43)Date of publication of application : 24.05.2002

(51)Int.Cl.

H01L 29/78
H01L 21/336
H01L 21/28
H01L 21/8247
H01L 27/115
H01L 29/788
H01L 29/792

(21)Application number : 2000-341276

(71)Applicant : SANYO ELECTRIC CO LTD

(22)Date of filing : 09.11.2000

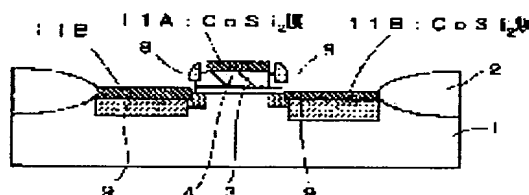
(72)Inventor : NOMA TAKASHI

(54) SEMICONDUCTOR DEVICE AND MANUFACTURING METHOD THEREOF

(57)Abstract:

PROBLEM TO BE SOLVED: To form a stable cobalt silicide film.

SOLUTION: A gate electrode 4 is formed on a semiconductor substrate 1 through a gate oxide film 3, and a side wall insulating film 8 is so formed as to cover the side wall of the gate electrode 4 and also to comprise a step at a corner of a substrate surface. Due to the step, no excessive cobalt film (cobalt atom) is required to be supplied at the part, and abnormal growth of a cobalt silicide film 11B is suppressed under the side wall insulating film 8.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開2002-151683

(P2002-151683A)

(43)公開日 平成14年5月24日(2002.5.24)

(51)Int.Cl. ⁷	識別記号	F I	テマート*(参考)
H 0 1 L 29/78		H 0 1 L 21/28	3 0 1 D 4 M 1 0 4
21/336			3 0 1 S 5 F 0 0 1
21/28	3 0 1	29/78	3 0 1 P 5 F 0 4 0
		27/10	4 3 4 5 F 0 8 3
21/8247		29/78	3 0 1 S 5 F 1 0 1
審査請求 未請求 請求項の数 8 O L (全 8 頁) 最終頁に続く			

(21)出願番号 特願2000-341276(P2000-341276)

(22)出願日 平成12年11月9日(2000.11.9)

(71)出願人 000001889

三洋電機株式会社

大阪府守口市京阪本通2丁目5番5号

(72)発明者 野間 崇

大阪府守口市京阪本通2丁目5番5号 三
洋電機株式会社内

(74)代理人 100111383

弁理士 芝野 正雅

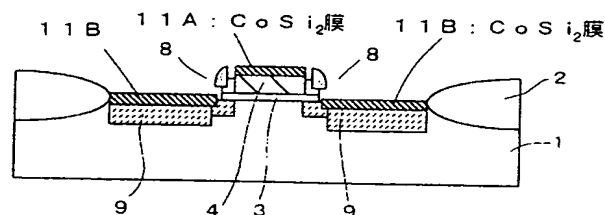
最終頁に続く

(54)【発明の名称】 半導体装置とその製造方法

(57)【要約】

【課題】 安定したコバルトシリサイド膜を形成する。

【解決手段】 半導体基板1上にゲート酸化膜3を介してゲート電極4が形成され、このゲート電極4の側壁部を被覆し、かつ基板表面との角部において段差を有するように側壁絶縁膜8が形成する。そして、この段差部の存在によりこの部分での必要以上のコバルト膜(コバルト原子)の供給が無くなり、側壁絶縁膜8下でのコバルトシリサイド膜11Bの異常成長が抑止される。



【特許請求の範囲】

【請求項 1】 半導体基板上にゲート酸化膜を介して形成されたゲート電極と、当該ゲート電極の側壁部に形成された側壁絶縁膜と、当該側壁絶縁膜に隣接するように前記基板表層に形成されたソース・ドレイン領域と、当該ソース・ドレイン領域上に形成されたコバルトシリサイド膜とを具備した半導体装置において、前記側壁絶縁膜が少なくとも前記基板表面との角部において段差を有するように形成されていることを特徴とする半導体装置。

【請求項 2】 半導体基板上にゲート酸化膜を介して形成されたフローティングゲートと、当該フローティングゲートを被覆するように形成された絶縁膜を介して前記フローティングゲート上に重なる領域を持つように形成されたコントロールゲートと、少なくとも前記フローティングゲートあるいは前記コントロールゲートの側壁部を被覆するように形成された側壁絶縁膜と、当該側壁絶縁膜に隣接するように前記基板表層に形成された不純物拡散領域と、当該不純物拡散領域上に形成されたコバルトシリサイド膜とを具備した半導体装置において、前記側壁絶縁膜が少なくとも前記基板表面との角部において段差を有するように形成されていることを特徴とする半導体装置。

【請求項 3】 前記側壁絶縁膜が、シリコン酸化膜とシリコン窒化膜とから成る 2 重構造であることを特徴とする請求項 1 あるいは請求項 2 に記載の半導体装置。

【請求項 4】 半導体基板上にゲート酸化膜を介して形成されたゲート電極と、当該ゲート電極の側壁部に形成された側壁絶縁膜と、当該側壁絶縁膜に隣接するように前記基板表層に形成されたソース・ドレイン領域とを具備した半導体装置の製造方法において、前記側壁絶縁膜の少なくとも前記基板表面との角部に段差を形成する工程と、

前記基板全面にコバルト膜を形成した後に熱処理することで前記ゲート電極及び前記ソース・ドレイン領域上にコバルトシリサイド膜を形成する工程とを具備したことを特徴とする半導体装置の製造方法。

【請求項 5】 半導体基板上にゲート酸化膜を介して形成されたフローティングゲートと、当該フローティングゲートを被覆するように形成された絶縁膜を介して前記フローティングゲート上に重なる領域を持つように形成されたコントロールゲートと、少なくとも前記フローティングゲートあるいは前記コントロールゲートの側壁部を被覆するように形成された側壁絶縁膜と、当該側壁絶縁膜に隣接するように前記基板表層に形成された不純物拡散領域と、当該不純物拡散領域上に形成されたコバルトシリサイド膜とを具備した半導体装置の製造方法において、

前記側壁絶縁膜の少なくとも前記基板表面との角部に段差を形成する工程と、

前記基板全面にコバルト膜を形成した後に熱処理することで前記ゲート電極及び前記ソース・ドレイン領域上にコバルトシリサイド膜を形成する工程とを具備したことを特徴とする半導体装置の製造方法。

【請求項 6】 半導体基板上にゲート酸化膜を介して形成されたゲート電極と、当該ゲート電極の側壁部に形成された側壁絶縁膜と、当該側壁絶縁膜に隣接するように前記基板表層に形成されたソース・ドレイン領域とを具備した半導体装置の製造方法において、

10 前記側壁絶縁膜を材質の異なる複数の絶縁膜から構成し、これらの絶縁膜のエッチングレート差を利用して、当該側壁絶縁膜の少なくとも前記基板表面との角部に段差を形成する工程と、

前記基板全面にコバルト膜を形成した後に熱処理することで前記ゲート電極及び前記ソース・ドレイン領域上にコバルトシリサイド膜を形成する工程とを具備したことを特徴とする半導体装置の製造方法。

【請求項 7】 半導体基板上にゲート酸化膜を介して形成されたフローティングゲートと、当該フローティングゲートを被覆するように形成された絶縁膜を介して前記フローティングゲート上に重なる領域を持つように形成されたコントロールゲートと、少なくとも前記フローティングゲートあるいは前記コントロールゲートの側壁部を被覆するように形成された側壁絶縁膜と、当該側壁絶縁膜に隣接するように前記基板表層に形成された不純物拡散領域と、当該不純物拡散領域上に形成されたコバルトシリサイド膜とを具備した半導体装置の製造方法において、

20 前記側壁絶縁膜を材質の異なる複数の絶縁膜から構成し、これらの絶縁膜のエッチングレート差を利用して、当該側壁絶縁膜の少なくとも前記基板表面との角部に段差を形成する工程と、

前記基板全面にコバルト膜を形成した後に熱処理することで前記ゲート電極及び前記ソース・ドレイン領域上にコバルトシリサイド膜を形成する工程とを具備したことを特徴とする半導体装置の製造方法。

【請求項 8】 前記側壁絶縁膜が、シリコン酸化膜とシリコン窒化膜とから成る 2 重構造であることを特徴とする請求項 4 あるいは請求項 5 あるいは請求項 6 あるいは請求項 7 に記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は半導体装置とその製造方法に関し、更に言えば、半導体装置のシリサイドプロセスにおけるシリサイド膜の形成技術に関する。

【0002】

【従来の技術】 近年の半導体装置では、MOS トランジスタのポリシリコン膜から成るゲート電極とシリコン基板に形成したソース・ドレイン領域の表層に選択的、自己整合的に高融点金属シリサイド膜を形成することで、

ゲート電極の配線抵抗と、ソース・ドレイン領域の寄生抵抗を減少させ、配線遅延やコンダクタンス劣化を抑制している。

【0003】この高融点金属シリサイド膜の代表的なものとして、例えばチタンシリサイド膜 (TiSi_2 膜) が知られている。

【0004】また、最近では細線部での抵抗上昇が問題となる上記チタンシリサイド膜プロセスに代わってコバルトシリサイド膜 (CoSi_2 膜) プロセスが注目されてきている。

【0005】以下、一般的な CoSi_2 膜の形成工程について図面を参照しながら説明する。

【0006】先ず、図14に示すように一導電型、例えばP型の半導体基板51に素子分離膜52を形成し、この素子分離膜で確定された活性領域上にゲート酸化膜53を介してゲート電極54を形成し、このゲート電極54に隣接するように基板表層に逆導電型(N型)の低濃度のソース・ドレイン領域55を形成する。続いて、前記ゲート電極54の側壁部に側壁絶縁膜56を形成した後、この側壁絶縁膜56に隣接するように基板表層に逆導電型(N型)の高濃度のソース・ドレイン領域57を形成する。そして、基板全面にコバルト膜 (Co 膜) 58をスパッタ成膜する。

【0007】続いて、図15に示すように前記コバルト膜58を熱処理(ラピッド・サーマル・アニール、以下RTAと称す。)して、前記ゲート電極54とソース・ドレイン領域57の表層を選択的、自己整合的にシリサイド化することで、コバルトシリサイド (CoSi_2) 膜59を形成する。

【0008】そして、図示しないが全面に層間絶縁膜を形成した後、前記ソース・ドレイン領域57上に(上記コバルトシリサイド膜59を介して)コンタクトするコンタクト孔を形成し、このソース・ドレイン領域57上にバリアメタル膜を介して金属配線を形成している。

【0009】

【発明が解決しようとする課題】前述したコバルトシリサイド膜プロセスの問題点として、図16に示すような側壁絶縁膜56下へのコバルトシリサイド膜59Aの異常成長(這い下がり現象)がある。

【0010】このため、接合リークやチャネル部でのリークが発生する。尚、この原因は、図17に示すように反応としてコバルト膜がシリコン内に進入するため(図中に黒丸で示すコバルト原子が側壁絶縁膜56側には進入できないため)、側壁絶縁膜56付近でのコバルト膜の供給量が多くなり、側壁絶縁膜56下でコバルトシリサイド膜の異常成長する。

【0011】この異常成長は、デザインルールが減少し、接合深さが浅くなってくると致命的なリークを引き起こし、デバイス特性を悪化させてしまう。

【0012】従って、本発明は安定したコバルトシリサ

イド膜の形成技術を提供することを目的とする。

【0013】

【課題を解決するための手段】そこで、上記課題に鑑み本発明の半導体装置とその製造方法は、半導体基板上にゲート酸化膜を介してゲート電極が形成され、このゲート電極の側壁部を被覆し、かつ基板表面との角部に段差を有するように側壁絶縁膜を形成する。そして、この段差部の存在によりこの部分での必要以上のコバルト膜(コバルト原子)の供給が無くなり、側壁絶縁膜下でのコバルトシリサイド膜の異常成長が抑止される。

【0014】また、本発明の半導体装置とその製造方法は、半導体基板上にフローティングゲートとコントロールゲートとを具備した不揮発性半導体記憶装置にも適用されることを特徴とする。

【0015】

【発明の実施の形態】以下、本発明に係わる半導体装置とその製造方法の一実施形態について図面を参照しながら説明する。

【0016】先ず、図1に示すように一導電型、例えばP型の半導体基板1に素子分離膜2を形成し、この素子分離膜2で確定された活性領域上におよそ10nmの膜厚のゲート酸化膜3を介しておよそ200nm~300nmの膜厚のゲート電極4を形成する。また、前記ゲート電極4に隣接するように基板表層に逆導電型、例えばN型不純物であるリンイオンをおよそドーズ量 $1.0 \sim 2.0 \times 10^{13} / \text{cm}^2$ 、加速電圧35~45KeVの注入条件で注入してアニール処理することで、低濃度のソース・ドレイン領域5を形成する。尚、イオン注入される前記N型不純物として、ヒ素イオン等を用いても良い。

【0017】続いて、図2に示すように前記ゲート電極4を被覆するようにCVD法によりおよそ10nmの膜厚のシリコン酸化膜6A(例えば、TEOS(Tetra Ethyl Ortho Silicate)膜)を形成し、続けてCVD法によりおよそ10nmの膜厚のシリコン窒化膜7Aを形成する。

【0018】次に、図3に示すように前記シリコン窒化膜7A及びシリコン酸化膜6Aを異方性エッチングしてシリコン酸化膜6及びシリコン窒化膜7から成る2重構造の側壁絶縁膜8Aを形成する。そして、前記側壁絶縁膜8Aに隣接するように基板表層にN型不純物、例えばヒ素イオンをおよそドーズ量 $1.0 \sim 2.0 \times 10^{13} / \text{cm}^2$ 、加速電圧35~45KeVの注入条件で注入してアニール処理することで、高濃度のソース・ドレイン領域9を形成する。尚、2重構造の側壁絶縁膜として、成膜順番が逆となるシリコン窒化膜及びシリコン酸化膜から成るものでも良い。また、イオン注入される前記N型不純物として、リンイオン等を用いても良い。

【0019】次に、図4に示すように後述するコバルト膜のスパッタ前処理としてフッ酸(HF)により側壁絶

縁膜8Aを構成する下層のシリコン酸化膜6を一部除去してゲート電極4の上部と接する箇所と基板表面と接する箇所の2箇所に段差(凹み)を形成する。尚、上記側壁絶縁膜8Aと成膜順番が逆となるシリコン窒化膜及びシリコン酸化膜から成る側壁絶縁膜を用いた場合には、リン酸(H_3PO_3)により下層のシリコン窒化膜を一部除去して、同様に凹みを形成する。このようにシリコン酸化膜とシリコン窒化膜のエッチングレート差を利用して段差(凹み)を有する側壁絶縁膜8を形成する。

【0020】続いて、図5に示すように全面に被シリサイド化膜、例えばコバルト膜(Co膜)10をおよそ10nmの膜厚でスパッタ成膜し熱処理(ラビッド・サーマル・アニール、以下RTAと称す。)を加えることでシリサイド化を図る。このとき、前記コバルト膜10は側壁絶縁膜8の形状を反映して、少なくとも当該側壁絶縁膜8と基板表面とがなす角部においてカバレッジ不足のため連続性を失う。従って、この部分での必要以上のコバルト膜(コバルト原子)の供給がなくなり、側壁絶縁膜8下でのコバルトシリサイド(CoSi₂)膜の異常成長はなくなる。尚、前記段差部の高さ(基板表面から側壁絶縁膜8底部までの高さ)は、スパッタ成膜する前記コバルト膜10の膜厚が10nmであるので、20nmもあれば十分である。更に言えば、コバルト膜のスパッタ形成時に、指向性の高いイオンメタルプラズマ(IMP)法あるいはロングスロースパッタ(LTS)法等のスパッタ法を適用すると良い。

【0021】そして、素子分離膜2及び側壁絶縁膜8上に残留した未反応のコバルト膜10及びコバルト反応物(CoN膜)を除去することで、図6に示すように前記ゲート電極4上面にコバルトシリサイド(CoSi₂)膜11Aを形成すると共に、前記ソース・ドレイン領域9の表層にコバルトシリサイド(CoSi₂)膜11Bを形成する。

【0022】尚、RTA処理は、過剰なシリサイド化が進まないように2ステップで行っている。即ち、第1回目のRTA処理をおよそ450℃～600℃で、10～45秒ほど行い、未反応のコバルト膜10及びコバルト反応物(CoN膜)を除去した後に、続いて第2回目のRTA処理をおよそ750℃～850℃で、10～45秒ほど行っている。

【0023】以上説明したように本発明では、前記ゲート電極4の側壁部に形成する側壁絶縁膜8の構造を、少なくとも当該側壁絶縁膜8と基板表面とがなす角部において段差(凹み)をつけることで、この部分でのカバレッジ不足によりコバルト膜10の連続性を無くし、この部分での必要以上のコバルト膜(コバルト原子)の供給をなくし、従来のような側壁絶縁膜付近でのコバルトシリサイド膜の食い下がり現象を抑止でき、接合リークやチャネル部でのリークが抑止され、コバルトシリサイド膜の形成プロセスマージンを高めることができる。

【0024】また、本実施形態ではゲート電極部(側壁絶縁膜付近)でのコバルトシリサイド膜の形成プロセスを例として説明したが、これに限定されるものではなく、例えば、いわゆるシャロートレンチ法(STI法)により形成された素子分離膜付近でのコバルトシリサイド膜の異常成長を抑止するものにも適用できる。

【0025】そして、図示した説明は省略するが、全面におよそ600nmの膜厚のBPSG膜から成る層間絶縁膜を形成した後に、前記ソース・ドレイン領域9上に(上記コバルトシリサイド膜11Bを介して)コンタクトするコンタクト孔を形成する。そして、コンタクト孔内にバリアメタル膜(例えば、チタン膜及びチタンナイトライド(TiN)膜との積層膜)を介してコンタクトプラグ(例えば、タングステン膜から成る)を形成し、このコンタクトプラグ上に金属膜(例えば、Al膜、Al-Si膜、Al-Cu膜、Al-Si-Cu膜)を形成して金属配線を形成している。尚、バリアメタル膜を介して直接、例えば、Al膜、Al-Si膜、Al-Cu膜、Al-Si-Cu膜から成る金属配線を形成するものであっても良い。最後に、全面にジャケット膜を形成して半導体装置が完成する。

【0026】以下、本発明をフローティングゲートとコントロールゲートとを有する不揮発性半導体記憶装置とその製造方法に適用した他の実施形態について図面を参照しながら説明する。

【0027】先ず、図7に示すようにP型の半導体基板21の所定領域に素子分離膜(図示せず)を形成した後に、この素子分離膜以外の表層にゲート酸化膜22をおよそ7nm～15nmの厚さに形成する。そして、前記ゲート酸化膜22上にポリシリコン膜をおよそ100nm～200nmの厚さに形成し、このポリシリコン膜にリンドープした導電膜23上に開口部を有するシリコン窒化膜24を形成する。

【0028】続いて、前記シリコン窒化膜24をマスクにして導電膜23をLOCOS(Local Oxidation Of Silicon)法により選択酸化して選択酸化膜25を形成する。

【0029】次に、図8に示すように、前記選択酸化膜25をマスクにして前記導電膜23を異方性エッチングして、選択酸化膜25下にフローティングゲート(FG)26を形成する。このとき、前記選択酸化膜25の形状を反映して、フローティングゲート26の上部に先鋭な角部が形成される。この角部は、フローティングゲート26に蓄えられた電子(電荷)を後述するトンネル酸化膜28を通してコントロールゲートに引き抜く消去動作時において、この角部に電界を集中させ、フローティングゲート26からコントロールゲートへの電子(電荷)の移動を起り易くして、消去効率を向上させるものである。尚、前述した異方性エッチング工程において、前記選択酸化膜25下以外のゲート酸化膜22は全

てエッチング除去しても良いが、本実施形態では所定量残膜（酸化膜 22A）させている。

【0030】更に、図9に示すように、ドレイン領域形成予定部を図示しないレジスト膜で被覆して、このレジスト膜をマスクにして基板表層にN型不純物、例えばリンイオンをおよそドーズ量 $4.5 \sim 5.0 \times 10^{15} / \text{cm}^2$ 、加速電圧 $50 \sim 70 \text{ KeV}$ の注入条件で注入してアニール処理することで拡散し、ソース領域 27 を形成する。尚、イオン注入される前記N型不純物として、ヒ素イオン等を用いても良い。

【0031】続いて、図10に示すように前記フローティングゲート 26 を被覆するように前記ゲート酸化膜 22A と一体形成される、厚さがおよそ $20 \text{ nm} \sim 40 \text{ nm}$ の絶縁膜（以下、トンネル酸化膜 28 と称す）を形成する。尚、前記トンネル酸化膜 28 は、酸化膜 22A とフローティングゲート 26 上にCVD法によりCVD酸化膜、例えば、 CoSi_2 膜 11 やHTO（High Temperature Oxide）膜等を形成した後に熱酸化して成るものである。

【0032】次に、前記トンネル酸化膜 28 上に例えば、およそ $200 \text{ nm} \sim 300 \text{ nm}$ の膜厚のポリシリコン膜を形成し、このポリシリコン膜に POCl_3 を拡散源としてリンドーブした後に、このポリシリコン膜上に不図示のレジスト膜を形成し、このレジスト膜をマスクにして前記ポリシリコン膜をパターンニングして前記トンネル酸化膜 28 を介して前記フローティングゲート 26 の一端部側にその上部から側壁部に跨るようにコントロールゲート（CG）29 を形成する。

【0033】更に、前記基板 21 上の全面にCVD法によりおよそ 10 nm の膜厚のシリコン酸化膜（例えば、 TEOS （Tetra Ethyl Ortho Silicate）膜）を形成し、続けてCVD法によりおよそ 10 nm の膜厚のシリコン窒化膜を形成し、当該シリコン窒化膜及びシリコン酸化膜を異方性エッチングしてシリコン酸化膜 30 及びシリコン窒化膜 31 から成る 2 重構造の側壁絶縁膜 32A を形成する。そして、前記ソース領域 27 上を不図示のレジスト膜でマスクした状態でドレイン領域形成予定部にN型不純物、例えばリンイオンをおよそドーズ量 $1.0 \sim 2.0 \times 10^{13} / \text{cm}^2$ 、加速電圧 $35 \sim 45 \text{ KeV}$ の注入条件で注入してアニール処理することで前記側壁絶縁膜 32A に隣接するように基板表層にドレイン領域 33 を形成する。尚、イオン注入される前記N型不純物として、ヒ素イオン等を用いても良い。尚、2 重構造の側壁絶縁膜として、成膜順番が逆となるシリコン窒化膜及びシリコン酸化膜から成るものでも良い。

【0034】次に、図12に示すように後述するコバルト膜のスパッタ前処理としてフッ酸（HF）により側壁絶縁膜 32A を構成する下層のシリコン酸化膜 30 を一部除去してコントロールゲート 29 の上部と接する箇所と基板表面と接する箇所の 2 箇所に段差（凹み）を形成

する。また、上記側壁絶縁膜 8A と成膜順番が逆となるシリコン窒化膜及びシリコン酸化膜から成る側壁絶縁膜を用いた場合には、リン酸（ H_3PO_3 ）により下層のシリコン窒化膜を一部除去して、同様に段差（凹み）を形成する。このようにシリコン酸化膜とシリコン窒化膜のエッチングレート差を利用して段差（凹み）を有する側壁絶縁膜 32 を形成する。尚、図12（後述の図13）は、前記ドレイン領域のみを拡大した図であり、これらの図面を用いて本発明の特徴を説明するがソース領域側も同様である。

【0035】続いて、図12に示すように全面に被シリサイド化膜、例えばコバルト膜（Co膜）34をおよそ 10 nm の膜厚でスパッタ成膜し熱処理（ラビッド・サーマル・アニール、以下RTAと称す。）を加えることでシリサイド化を図る。このとき、前記コバルト膜 34 は側壁絶縁膜 32 の形状を反映して、当該側壁絶縁膜 32 と基板表面とがなす角部においてカバレッジ不足のため連続性を失う。従って、この部分での必要以上のコバルト膜（コバルト原子）の供給がなくなり、側壁絶縁膜 32 下でのコバルトシリサイド（ CoSi_2 ）膜の異常成長はなくなる。尚、前記段差部の高さ（基板表面から側壁絶縁膜 8 底部までの高さ）は、スパッタ成膜する前記コバルト膜 10 の膜厚が 10 nm であるので、 20 nm もあれば十分である。更に言えば、コバルト膜のスパッタ形成時に、指向性の高いイオンメタルプラズマ（IMP）法あるいはロングスロースパッタ（LTS）法等のスパッタ法を適用すると良い。

【0036】そして、素子分離膜及び側壁絶縁膜 32 上に残留した未反応のコバルト膜 34 及びコバルト反応物（ Co_3N 膜）を除去することで、図13に示すように前記コントロールゲート 29 上面にコバルトシリサイド（ CoSi_2 ）膜 35A を形成すると共に、前記ソース・ドレイン領域 27、33 の表層にコバルトシリサイド（ CoSi_2 ）膜 35B を形成する。

【0037】尚、RTA処理は、過剰なシリサイド化が進まないように 2 ステップで行っている。即ち、第1回目のRTA処理をおよそ $450^\circ\text{C} \sim 600^\circ\text{C}$ で、 $10 \sim 45$ 秒ほど行い、未反応のコバルト膜 34 及びコバルト反応物（ Co_3N 膜）を除去した後に、続いて第2回目のRTA処理をおよそ $750^\circ\text{C} \sim 850^\circ\text{C}$ で、 $10 \sim 45$ 秒ほど行っている。

【0038】以上説明したように本発明では、前記コントロールゲート 29 の側壁部に形成する側壁絶縁膜 32 の構造を、少なくとも当該側壁絶縁膜 32 と基板表面とがなす角部において段差（凹み）をつけることで、この部分でのカバレッジ不足によりコバルト膜 34 の連続性を無くし、この部分での必要以上のコバルト膜（コバルト原子）の供給をなくし、従来のような側壁絶縁膜付近でのコバルトシリサイド膜の食い下がり現象を抑止でき、接合リークやチャネル部でのリークが抑止され、コ

バルトシリサイド膜の形成プロセスマージンを高めることができる。

【0039】そして、図示しないが、全面におよそ600nmの膜厚のBPSG膜から成る層間絶縁膜を形成した後に、前記ソース・ドレイン領域27, 33上に（コバルトシリサイド膜35Bを介して）コンタクトするコンタクト孔を形成する。そして、コンタクト孔内にバリアメタル膜（例えば、チタン膜及びチタンナイトライド（TiN）膜との積層膜）を介してコンタクトプラグ（例えば、タングステン膜から成る）を形成し、このコンタクトプラグ上に金属膜（例えば、Al膜、Al-Si膜、Al-Cu膜、Al-Si-Cu膜）を形成して金属配線を形成している。尚、バリアメタル膜を介して直接、例えば、Al膜、Al-Si膜、Al-Cu膜、Al-Si-Cu膜から成る金属配線を形成するものであっても良い。最後に、全面にジャケット膜を形成して半導体装置が完成する。

【0040】

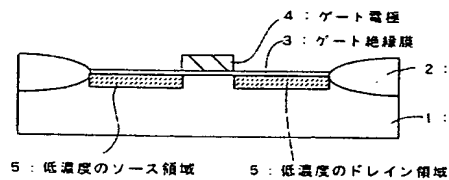
【発明の効果】本発明によれば、ゲート電極の側壁部に形成された側壁絶縁膜下へのコバルトシリサイド膜の異常成長を抑止することができるため、接合リーク発生を抑止することができ、コバルトシリサイド膜の形成プロセスのマージンを高めることができる。

【図面の簡単な説明】

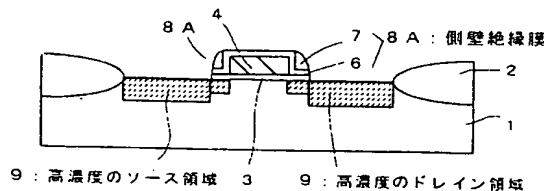
【図1】本発明の一実施形態の半導体装置の製造方法を示す断面図である。

【図2】本発明の一実施形態の半導体装置の製造方法を示す断面図である。

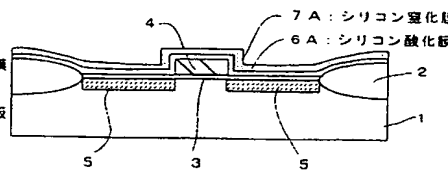
【図1】



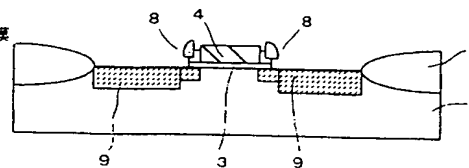
【図3】



【図2】



【図4】



【図3】本発明の一実施形態の半導体装置の製造方法を示す断面図である。

【図4】本発明の一実施形態の半導体装置の製造方法を示す断面図である。

【図5】本発明の一実施形態の半導体装置の製造方法を示す断面図である。

【図6】本発明の一実施形態の半導体装置の製造方法を示す断面図である。

【図7】本発明の他の実施形態の半導体装置の製造方法を示す断面図である。

【図8】本発明の他の実施形態の半導体装置の製造方法を示す断面図である。

【図9】本発明の他の実施形態の半導体装置の製造方法を示す断面図である。

【図10】本発明の他の実施形態の半導体装置の製造方法を示す断面図である。

【図11】本発明の他の実施形態の半導体装置の製造方法を示す断面図である。

【図12】本発明の他の実施形態の半導体装置の製造方法を示す断面図である。

【図13】本発明の他の実施形態の半導体装置の製造方法を示す断面図である。

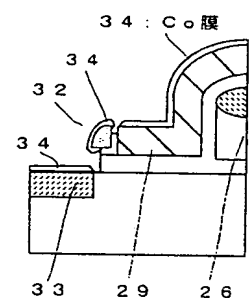
【図14】従来の半導体装置の製造方法を示す断面図である。

【図15】従来の半導体装置の製造方法を示す断面図である。

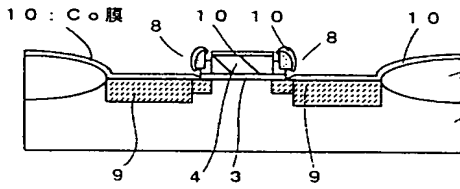
【図16】従来の課題を説明するための図である。

【図17】従来の課題を説明するための図である。

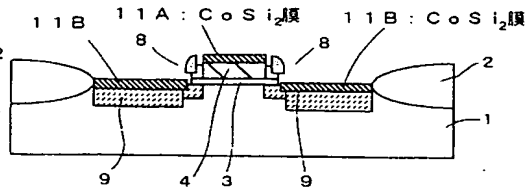
【図12】



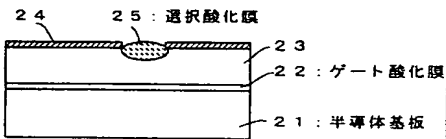
【図5】



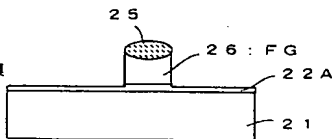
【図6】



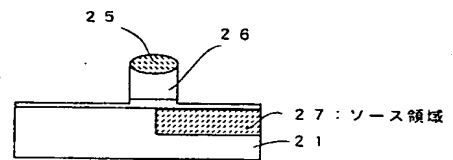
【図7】



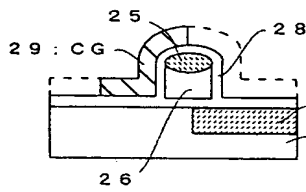
【図8】



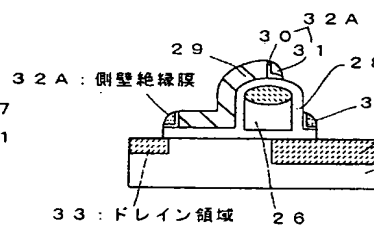
【図9】



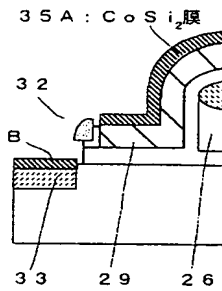
【図10】



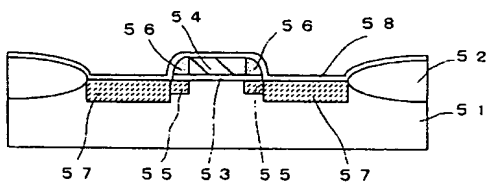
【図11】



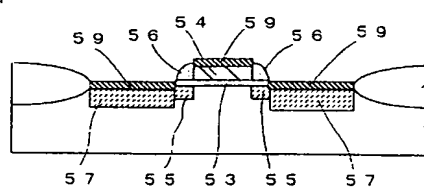
【図13】



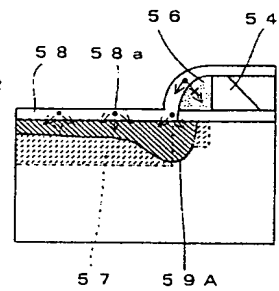
【図14】



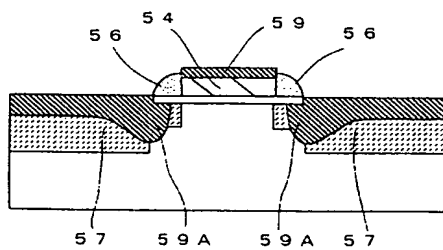
【図15】



【図17】



【図16】



フロントページの続き

(51) Int. Cl.⁷

識別記号

F I

キーワード (参考)

H O 1 L 27/115

H O 1 L 29/78

3 7 1

29/788

29/792

F ターム (参考) 4M104 AA01 BB01 BB14 BB20 CC01
 CC05 DD04 DD19 DD26 DD29
 DD37 DD79 DD80 DD84 EE05
 EE08 EE09 EE17 FF06 FF13
 FF14 FF17 FF18 FF22 GG09
 GG16 HH04 HH16
 5F001 AA21 AA22 AA33 AA63 AB03
 AB04 AC20 AF25 AG28 AG30
 5F040 DA14 EA08 EC01 EC04 EC07
 EC13 EH02 EK01 FA05 FA07
 FA10 FB02 FC19 FC22
 5F083 EP03 EP15 EP26 GA02 GA06
 GA27 GA30 JA02 JA32 JA35
 JA36 JA39 JA40 JA53 JA56
 PR05 PR12 PR21 PR22 PR34
 PR36
 5F101 BA03 BA04 BA15 BA36 BB04
 BB08 BC03 BF09 BH13 BH16